



(43) 国際公開日  
2005 年 6 月 2 日 (02.06.2005)

**PCT**

(10) 国際公開番号  
**WO 2005/050834 A1**

- |   |                                  |  |
|---|----------------------------------|--|
| (51) 国際特許分類 <sup>7)</sup> :   | H03G 3/10                        | SEIMITSU CO., LTD.) [JP/JP]; 〒9430834 新潟県上越市西城町 2 丁目 5 番 1 3 号 Niigata (JP).   |
| (21) 国際出願番号:  | PCT/JP2004/016774                | (72) 発明者; および  |
| (22) 国際出願日:   | 2004 年 11 月 11 日 (11.11.2004)    | (75) 発明者/出願人 (米国についてのみ): 勝永 浩史 (KAT-SUNAGA, Hiroshi) [JP/JP]; 〒4488671 愛知県刈谷市豊田町 2 丁目 1 番地 株式会社豊田自動織機内 Aichi (JP). 宮城 弘 (MIYAGI, Hiroshi) [JP/JP]; 〒9430834 新潟県上越市西城町 2 丁目 5 番 1 3 号 新潟精密株式会社内 Niigata (JP). |
| (25) 国際出願の言語:   | 日本語                              |  |
| (26) 国際公開の言語:   | 日本語                              |  |
| (30) 優先権データ:<br>特願 2003-389693  | 2003 年 11 月 19 日 (19.11.2003) JP | (74) 代理人: 大菅 義之 (OSUGA, Yoshiyuki); 〒1020084 東京都千代田区二番町 8 番地 2 〇 二番町ビル 3 F Tokyo (JP).   |
| (71) 出願人 (米国を除く全ての指定国について): 株式会社豊田自動織機 (KABUSHIKI KAISHA TOYOTA JIDOSHOKKI) [JP/JP]; 〒4488671 愛知県刈谷市豊田町 2 丁目 1 番地 Aichi (JP). 新潟精密株式会社 (NIIGATA |                                  | (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU,                        |
- /続葉有)

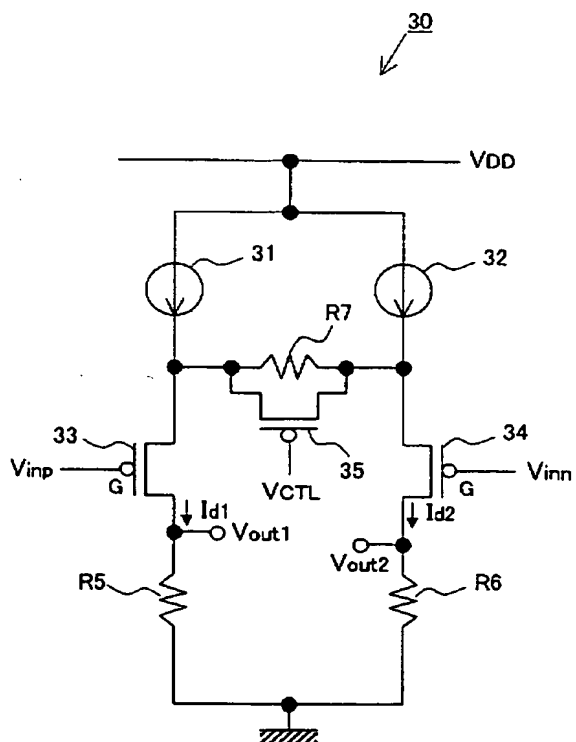
〔続葉有〕

**(54) Title:** AM INTERMEDIATE FREQUENCY VARIABLE GAIN AMPLIFIER CIRCUIT, VARIABLE GAIN AMPLIFIER CIRCUIT, AND SEMICONDUCTOR INTEGRATED CIRCUIT THEREOF

(54) 発明の名称: AM中間周波可変利得増幅回路、可変利得増幅回路及びその半導体集積回路

**(57) Abstract:** A variable gain amplifier circuit operable with a low power supply voltage and exhibiting less noise therein. A differential amplifier circuit is constituted by two MOS transistors, and a third MOS transistor is connected between the sources of those MOS transistors. A DC bias voltage is supplied to the gate of the third MOS transistor so as to render the third MOS transistor operative in a non-saturated region. When the output voltage of the AM variable gain amplifier circuit increases, a control voltage is applied so as to reduce the source-to-drain resistance of the third MOS transistor, thereby reducing the gain of the AM intermediate frequency variable gain amplifier circuit.

(57) 要約: 本発明の課題は、低い電源電圧で使用でき、回路内部で発生するノイズの少ない可変利得増幅回路を提供することである。差動増幅回路を構成する2個のMOSトランジスタのソース間には第3のMOSトランジスタが接続され、第3のMOSトランジスタのゲートには、第3のMOSトランジスタを非飽和領域で動作させる直流バイアス電圧が供給されている。AM可変利得増幅回路の出力電圧が増加すると、第3のMOSトランジスタのソース・ドレイン間の抵抗を小さくするような制御電圧が与えられ、AM中間周波可変利得増幅回路の利得が小さくなる。





ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

IS, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。